

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che somma a tutte le celle contenute nello spazio di memoria compreso tra gli indirizzi 0x2100 e 0x218F (compresi gli estremi) il valore contenuto nel registro R0. Se la somma non è rappresentabile, nella cella viene messo il valore 0xFF. Le celle e R0 contengono valori interi senza segno in rappresentazione binaria su 8 bit.

ESERCIZIO N°2

6 punti

Realizzare una rete sequenziale sincrona secondo il modello di Moore in grado di generare, se abilitata, la sequenza di periodo 10110100.

ESERCIZIO N°3

6 punti

Realizzare in forma PS ottima la seguente rete combinatoria a 4 ingressi e una uscita, indicando gli implicati essenziali evidenziando un maxtermine che li rende tali.

$$Y = \overline{X_2} \overline{X_0} + X_3 X_1 X_0 + \overline{X_3} \overline{X_1} X_0 + X_3 \overline{X_1} \overline{X_0} + \overline{X_3} X_1 \overline{X_0}$$

ESERCIZIO N°4

6 punti

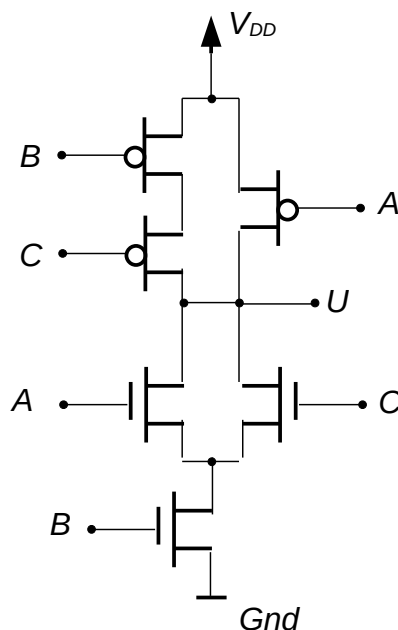
Realizzare la rete combinatoria dell'esercizio precedente usando soltanto multiplexer 2:1 (sono disponibili al massimo 8 multiplexer).

ESERCIZIO N°5

7 punti

Determinare la tabella di verità della seguente rete logica CMOS usando come valori di uscita 0, 1, Z, X con il solito significato. Determinare poi l'ingresso logico per cui la rete assorbe la massima corrente dall'alimentazione e il valore della tensione di uscita in questo caso.

Si sa che $V_{DD} = 5\text{ V}$; $V_{Tn} = -V_{Tp} = 1\text{ V}$; $k_n = -k_p = 2\text{ mA/V}^2$.

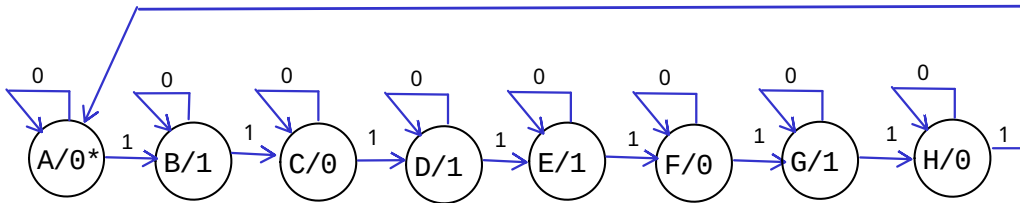


/*Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che somma a tutte le celle contenute nello spazio di memoria compreso tra gli indirizzi 0x2100 e 0x218F (compresi gli estremi) il valore contenuto nel registro R0.
Se la somma non è rappresentabile, nella cella viene messo il valore 0xFF.
Le celle e R0 contengono valori interi senza segno in rappresentazione binaria su 8 bit.*/

```
sum_R0:
    push R16
    push R17
    push XL
    push XH
    ldi XL,low(0x2100)
    ldi XH,high(0x2100)
    ldi R16,0x90          //numero di valori da modificare
loop:
    ld R17,X
    add R17,R0
    brcc poi              //se C=0 il risultato è rappresentabile
    ldi R17,0xFF
    poi:
    st X+,R17              //salva il valore modificato e avanza
    dec R16
    brne loop
pop XH
pop XL
pop R17
pop R16
ret
```

2

Realizzare una rete sequenziale sincrona secondo il modello di Moore in grado di generare, se abilitata, la sequenza di periodo 10110100.



Codifica stati

	Q2	Q1	Q0
A	0	0	0
B	1	0	1
C	0	1	0
D	1	1	1
E	1	0	0
F	0	0	1
G	1	1	0
H	0	1	1

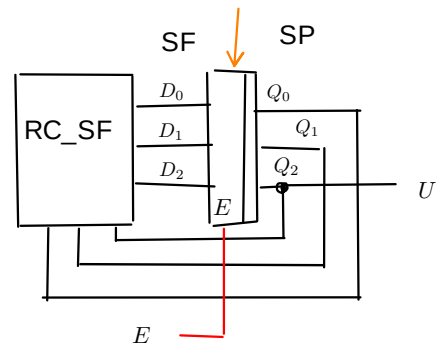
$$U = Q_2$$

Mappa di transizione (per E=1)

		Q ₁ , Q ₀			
		00	01	11	10
Q ₂	0	101	110	000	111
	1	001	010	100	011

Registro di stato con abilitazione, realizzato con DE-FF

IN



1	1	0	1
0	0	1	0

$$D_2 = \overline{Q_2} \overline{Q_0} + \overline{Q_2} \overline{Q_1} + Q_2 Q_1 Q_0$$

0	1	0	1
0	1	0	1

$$D_1 = \overline{Q_1} Q_0 + Q_1 \overline{Q_0}$$

1	0	0	1
1	0	0	1

$$D_0 = \overline{Q_0}$$

Realizzare in forma PS ottima la seguente rete combinatoria a 4 ingressi e una uscita, indicando gli implicati essenziali evidenziando un maxtermine che li rende tali.

$$Y = \overline{X_2} \overline{X_0} + X_3 X_1 X_0 + \overline{X_3} \overline{X_1} X_0 + X_3 \overline{X_1} \overline{X_0} + \overline{X_3} X_1 \overline{X_0}$$

Riporto la forma SP ottima del testo in mappa.

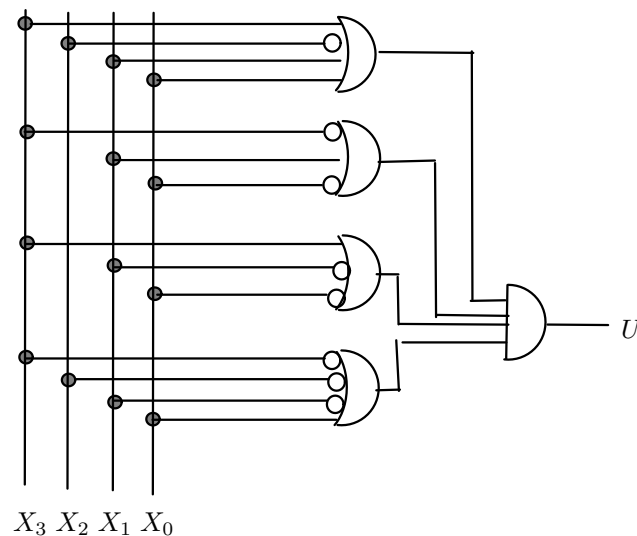
Si ricava la forma PS

costituita da 4 essenziali, 2 di ordine 1 e 2 di ordine 0, per un totale di 14 letterali.

X_3, X_2 X_1, X_0					
		00	01	11	10
00	1	0*	1	1	
	1	1	0*	0	
01	0*	0	1	1	
	1	1	0*	1	

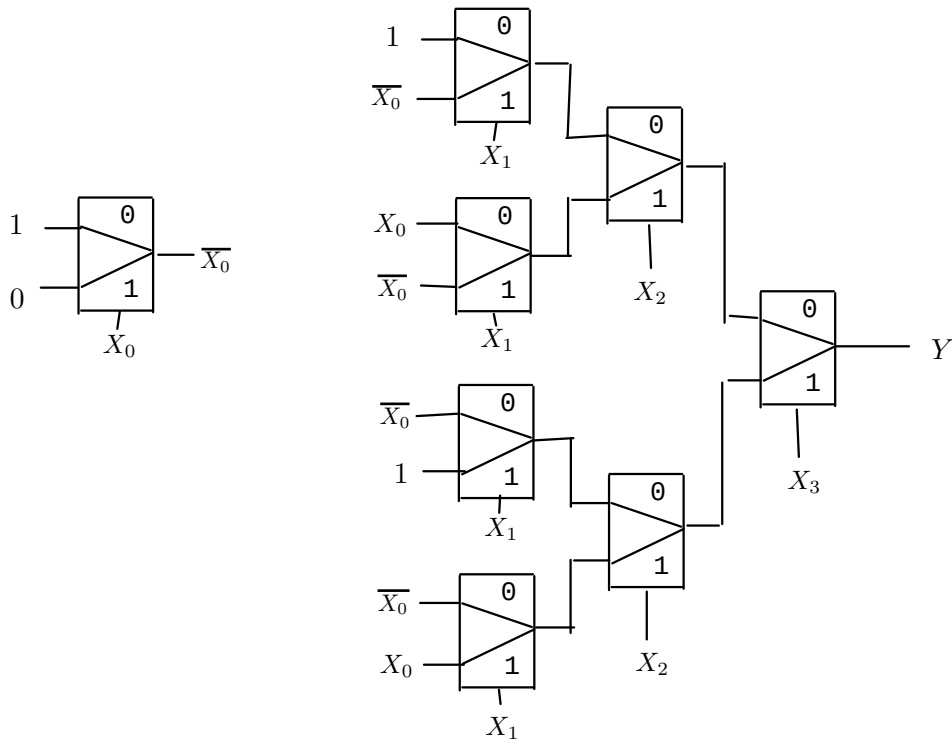
$$Y = (X_3 + \overline{X_2} + X_1 + X_0)(\overline{X_3} + X_1 + \overline{X_0})(X_3 + \overline{X_1} + \overline{X_0})(\overline{X_3} + \overline{X_2} + \overline{X_1} + X_0)$$

Schema PS



Realizzare la rete combinatoria dell'esercizio precedente usando soltanto multiplexer 2:1 (sono disponibili al massimo 8 multiplexer).

X_3, X_2		X_1, X_0			
		00	01	11	10
00	00	1	0	1	1
01	01	1	1	0	0
11	11	0	0	1	1
10	10	1	1	0	1



Determinare la tabella di verità della seguente rete logica CMOS usando come valori di uscita 0, 1, Z, X con il solito significato. Determinare poi l'ingresso logico per cui la rete assorbe la massima corrente dall'alimentazione e il valore della tensione di uscita in questo caso.

$$V_{DD} = 5 \text{ V}; V_{Tn} = -V_{Tp} = 1 \text{ V}; k_n = -k_p = 2 \text{ mA/V}^2$$

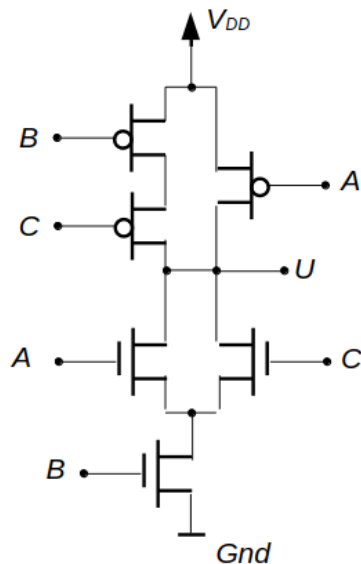


Tabella di verità

A	B	C	nMOS	pMOS	U
0	0	0	off	on	1
0	0	1	off	on	1
0	1	0	off	on	1
0	1	1	on	on	X
1	0	0	off	on	1
1	0	1	off	off	Z
1	1	0	on	off	0
1	1	1	on	off	0

In condizioni statiche si ha assorbimento dall'alimentazione nei due casi in cui l'uscita è X (conducono entrambe le sezioni).

La sezione pMOS conduce con il singolo pMOS pilotato da A=0.

La sezione nMOS conduce con 2 nMOS in serie pilotati da B=1 e C=1.

Determino i k equivalenti.

$$k_{neq} = 1 \text{ mA/V}^2$$

$$k_{peq} = -2 \text{ mA/V}^2$$

In queste condizioni di pilotaggio mi aspetto entrambe le sezioni in zona triodo, con prevalenza della sezione pMOS, che presenta il k maggiore. La corrente è la stessa nei due casi. Applico la KCL al nodo di uscita, usando come incognita la tensione di U.

$$I_{DD} = -\frac{k_{peq}}{2}(V_U - V_{DD})(-V_{DD} - V_U - 2V_{Tp}) = \frac{k_{neq}}{2}V_U(2V_{DD} - V_U - 2V_{Tn})$$

$$-2(x - 5)(x + 3) = x(8 - x)$$

$$x^2 + 8x - 10x + 6x - 30 = x^2 + 4x - 30 = 0$$

$$x_1 = -2 + \sqrt{34} \simeq 3,831$$

$$x_2 < 0 \quad \text{non accettabile}$$

La soluzione trovata verifica l'ipotesi di zona triodo per entrambi e quindi:

$$V_U = 3,831 \text{ V}$$