

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che esamina un blocco di memoria di 200 byte, a partire dall'indirizzo 0x2600, contenente numeri senza segno rappresentati su 8 bit, modificandolo nel modo seguente: ai numeri maggiori di 120 viene tolta una quantità fissa di 100, i numeri minori di 120 vengono moltiplicati per 2, i numeri uguali a 120 sono azzerati.

ESERCIZIO N°2

6 punti

Disegnare lo schema logico della forma NAND-NAND ottima di una rete combinatoria a 5 ingressi, X_4, X_3, X_2, X_1 , e X_0 caratterizzata dalla tabella di verità:

{1, 1, -, -, 1, -, 1, 0, -, 0, 1, 1, -, 1, 0, 0, 1, 0, 1, 0, -, 1, 1, 0, -, 1, -, 0, -, 0, -, 1}.

Indicare gli implicant essenziali, giustificando l'affermazione.

ESERCIZIO N°3

6 punti

Collegare delle memorie SRAM da 4Mx8 in modo da ottenere un modulo da 16Mx16.

ESERCIZIO N°4

6 punti

Disegnare il grafo di una rete di Moore con un ingresso e 1 uscita in grado di riconoscere una qualsiasi delle 2 sequenze 010 oppure 00 (comunque interallacciate). Prevedere il corretto funzionamento fin dall'accensione, prevedendo l'uso di memorie non trasparenti, nulle all'accensione. Realizzare la rete usando JK-FF (sfruttando al meglio le potenzialità di questo flip-flop).

ESERCIZIO N°5

7 punti

Disegnare, usando solo diodi e resistori da 1 k Ω per il primo stadio (OR) e da 10 k Ω per il secondo stadio (AND), un circuito logico che realizza la funzione logica

$$U = (A + B + C)(D + E).$$

Determinare la tensione di uscita nei due casi, quando tutti gli ingressi sono pilotati a Gnd e quindi a V_{DD} . ($V_{DD} = 5\text{ V}$; $V_{Don} = 0,7\text{ V}$).

```
/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che esamina
un blocco di memoria di 200 byte, a partire dall'indirizzo 0x2600, contenente
numeri senza segno rappresentati su 8 bit, modificandolo nel modo seguente:
ai numeri maggiori di 120 viene tolta una quantità fissa di 100,
i numeri minori di 120 vengono moltiplicati per 2,
i numeri uguali a 120 sono azzerati.*/
```

```
SRAM_modifier:
```

```
    push R16
    push R17
    push R18
    push XL
    push XH
    ldi XL,low(0x2600)
    ldi XH,high(0x2600)    //puntatore
    ldi R16,200            //contatore
    ldi R17,100            //valore da sottrarre
loop:
    ld R18,X              //carica numero da esaminare
    cpi R18,120            //confronto con 120
    breq azzera
    brcs minore
    sub R18,R17
    rjmp fineloop
minore:
    lsl R18                //moltiplica per 2
    rjmp fineloop
azzera:
    clr R18
fineloop:
    st X+,R18              //salva il valore modificato
    dec R16
    brne loop
pop XH
pop XL
pop R18
pop R17
pop R16
ret
```

Disegnare lo schema logico della forma NAND-NAND ottima di una rete combinatoria a 5 ingressi caratterizzata dalla tabella di verità:

$\{1, 1, -, -, 1, -, 1, 0, -, 0, 1, 1, -, 1, 0, 0, 1, 0, 1, 0, -, 1, 1, 0, -, 1, -, 0, -, 0, -, 1\}$.

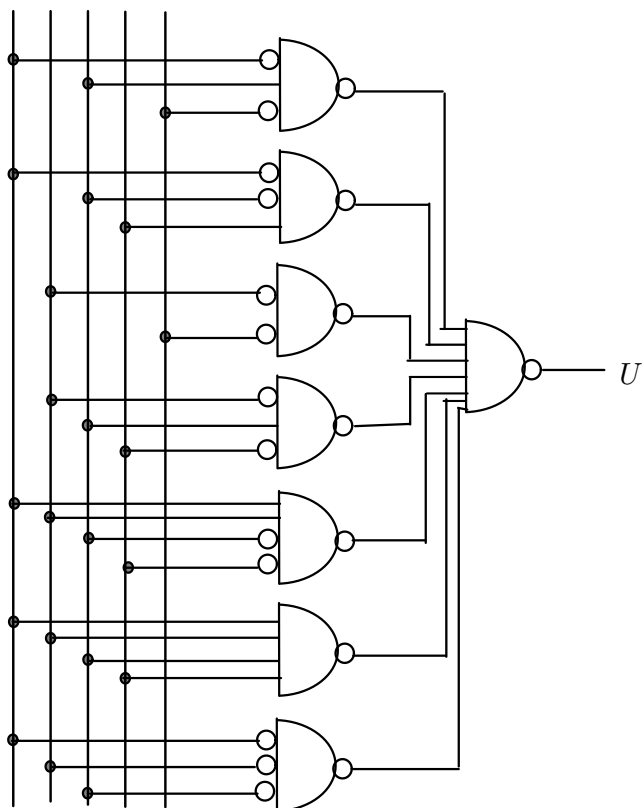
Indicare gli implicanti essenziali, giustificando l'affermazione.

		X_3, X_2							
X_1, X_0		00	01	11	10	00	01	11	10
00		1	1	-	-	1	-	-	-
01		1	-	*1	0	0	*1	0	*1
11		-	0	0	1*	0	0	1*	0
10		-	*1	0	1	1	1	-	-
$X_4 = 0$						$X_4 = 1$			

Servono 7 implicanti, di cui 6 essenziali. La soluzione ottima ha 22 letterali. Parto dalla forma SP, che poi converto in NAND-NAND con il teorema di De Morgan.

$$U = \overline{X_4}X_2\overline{X_1} + \overline{X_4}\overline{X_2}X_1 + \overline{X_3}\overline{X_0} + \overline{X_3}X_2\overline{X_1} + X_4X_3\overline{X_2}\overline{X_1} + X_4X_3X_2X_1 + \overline{X_4}\overline{X_3}\overline{X_2}$$

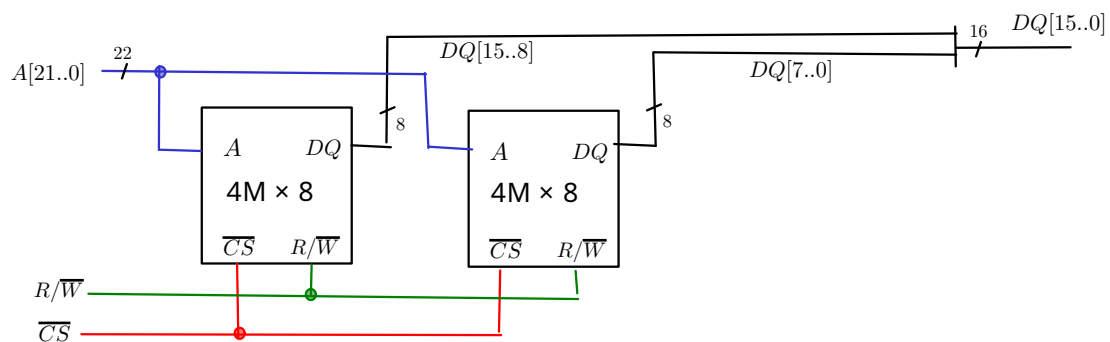
X_4, X_3, X_2, X_1, X_0



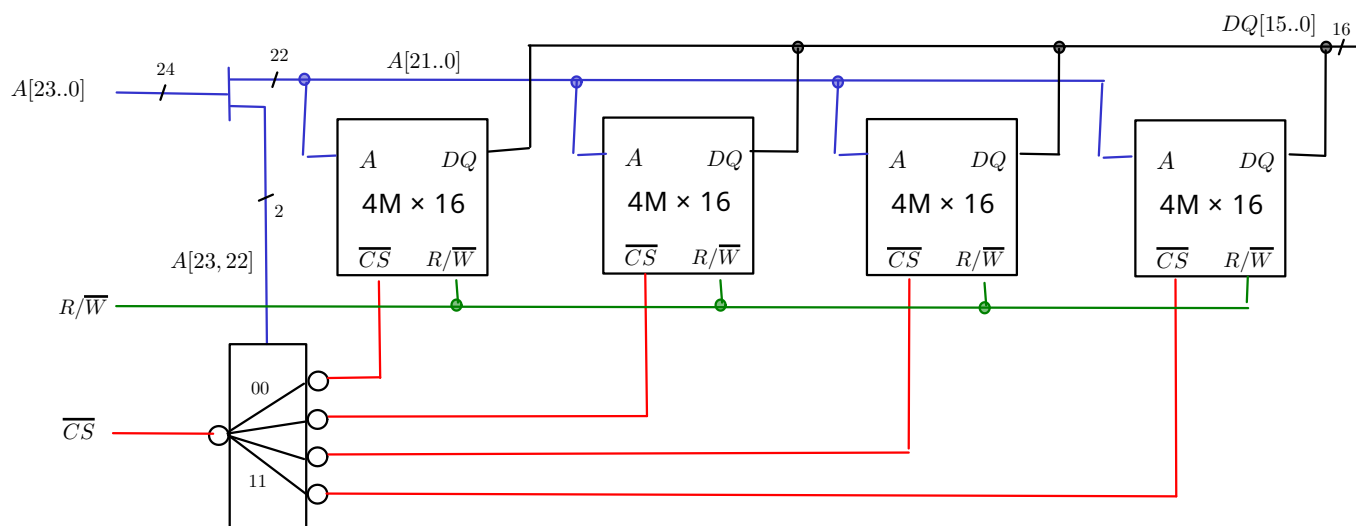
3

Collegare delle memorie SRAM da $4M \times 8$
in modo da ottenere un modulo da $16M \times 16$.

Inizio col realizzare un modulo $4M \times 16$

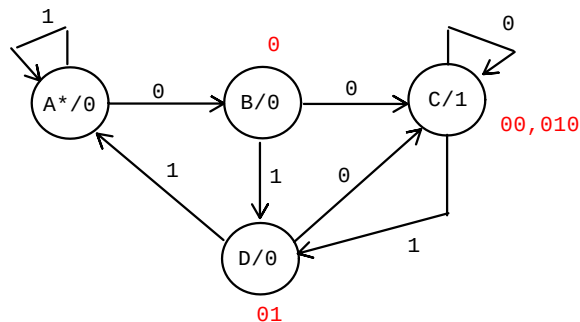


Aumento il numero di parole usando 4 di questi moduli, fino a $16M \times 16$



4

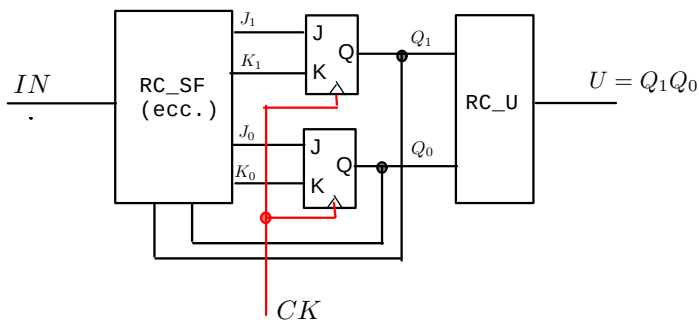
Disegnare il grafo di una rete di Moore con un ingresso e 1 uscita in grado di riconoscere una qualsiasi delle 2 sequenze 010 oppure 00 (comunque interallacciate). Prevedere il corretto funzionamento fin dall'accensione, prevedendo l'uso di memorie non trasparenti nulle all'accensione. Realizzare la rete usando JK-FF (sfruttando al meglio le potenzialità di questo flip-flop).



Code	U
A 00	0
B 01	0
C 11	1
D 10	0

Con la codifica scelta, l'uscita coincide con la AND delle variabili di stato.

Architettura



Mappa delle transizioni

Q_1, Q_0		IN			
		00	01	11	10
IN	0	01	11	11	11
	1	00	10	10	00

Q	Q+	J	K
0	0	0	-
0	1	1	-
1	0	-	1
1	1	-	0

Mappe di eccitazione

0	1	-	-
0	1	-	-

$$J_1 = Q_0$$

-	-	0	0
-	-	0	1

$$K_1 = IN\overline{Q_0}$$

1	-	-	1
0	-	-	0

$$J_0 = \overline{IN}$$

-	0	0	-
-	1	1	-

$$K_0 = IN$$

5

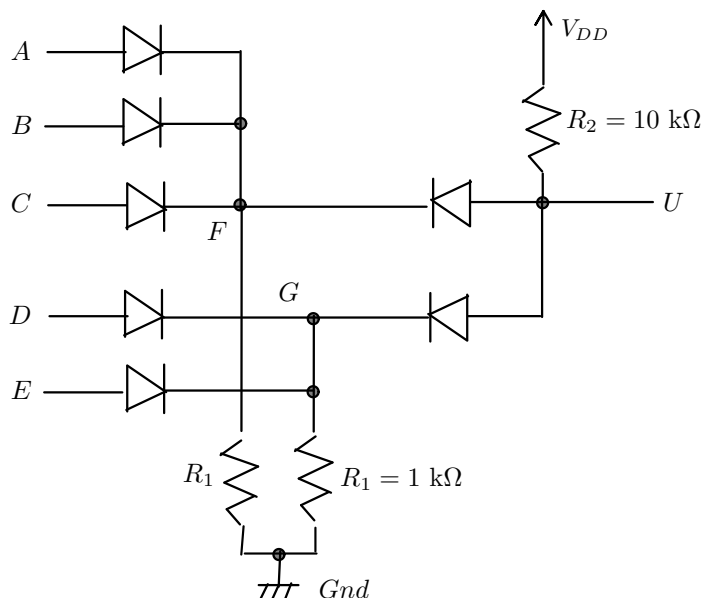
Disegnare, usando solo diodi e resistori da 1 kΩ per il primo stadio (AND) e da 10 kΩ per il secondo stadio (OR), un circuito logico che realizza la funzione indicata nel seguito.

Determinare la tensione di uscita nei due casi, quando tutti gli ingressi

- sono pilotati a Gnd
- sono pilotati a VDD

$$U = (A + B + C)(D + E)$$

$$V_{DD} = 5 \text{ V}; \quad V_{Don} = 0,7 \text{ V}$$

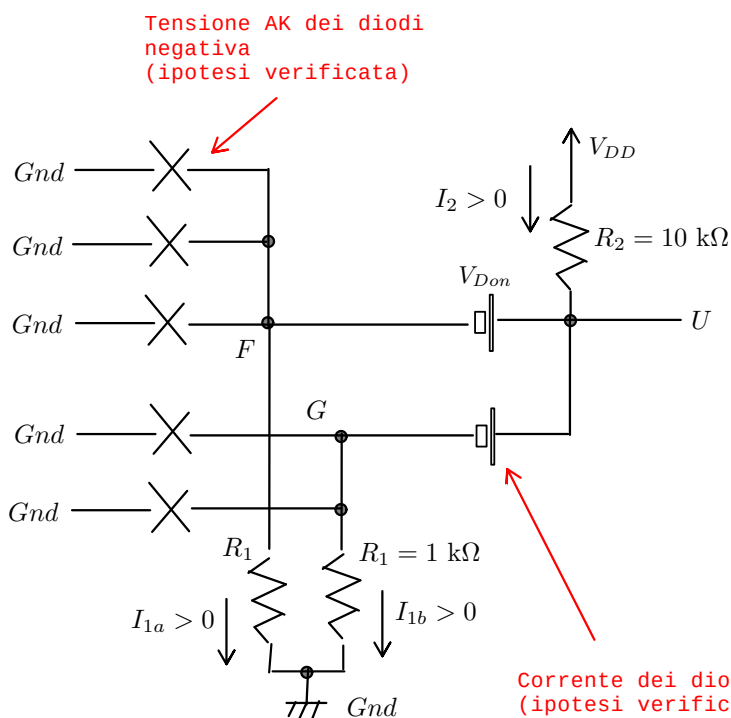


Il circuito logico sarà costituito da 2 OR a diodi come primo stadio, seguite da una AND a diodi.

Il secondo stadio ha un minor effetto caricante, avendo resistore di valore maggiore.

Se tutti gli ingressi sono bassi (Gnd), i diodi del primo stadio sono interdetti e le tensioni dei nodi F e G saranno uguali, basse ma a un potenziale positivo, collegate a Gnd dalle R1.

I diodi del secondo stadio condurranno e la corrente scorrerà in R2 creando una partizione.



$$I_{1a} = I_{1b} = \frac{I_2}{2}$$

$$I_2 = \frac{V_{DD} - V_{Don}}{R_2 + R_1/2} = 0,4095 \text{ mA}$$

$$V_U = V_{DD} - R_2 I_2 = 0,905 \text{ V}$$

Osservazione:
L'uscita è bassa, ma non troppo.
La degradazione dei livelli logici è uno dei limiti delle logiche a diodi

Se tutti gli ingressi sono alti (V_{DD}), i diodi del primo stadio conducono e le tensioni dei nodi F e G sono pari a V_{DD} meno la tensione di accensione dei diodi.

I diodi del secondo stadio sono al limite di conduzione, con corrente nulla.

La tensione di uscita è quindi V_{DD} .

