SCHEDA D26_09		Data: **29 Ottobre 2026**	
Nome:		Firma:	

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Scrivere un sottoprogramma nel linguaggio assembly della famiglia XMEGA AVR che valuti la somma tra due numeri interi relativi contenuti nella memoria dati, rappresentati su 64 bit e il cui byte meno significativo è puntato, rispettivamente da Y e Z (i byte più significativi sono di seguito). Il risultato deve essere memorizzato al posto dell'addendo puntato da Y. Il sottoprogramma non deve alterare i registri di lavoro.

ESERCIZIO N°2

6 punti

Sintetizzare in forma PS ottima la funzione logica specificata dalla seguente tabella di verità.
{1, -, -, 1, 0, -, 0, -, 0, 0, 1, 1, 1, 1, -, 0, 0, 1, -, -, 0, 1, 1, -, 1, 1, 1, 0, 1, 0, 1, -}

ESERCIZIO N°3

6 punti

Assemblare un modulo di memoria da 1 M×9 avendo a disposizione 4 memorie da 256 k×1 e 4 memorie da 512 k×4

ESERCIZIO N°4

6 punti

Disegnare il grafo e quindi sintetizzare usando JK-FF, una macchina di Moore senza ingressi che generi in uscita un'onda rettangolare con ciclo di lavoro 1/4 e periodo pari a 4 cicli di clock.

ESERCIZIO N°5

7 punti

Determinare nel piano cartesiano della caratteristica di trasferimento di un inverter CMOS, alimentato con V_{DD} = 5 *V*, la regione in cui il transistore *n*MOS è in zona triodo e il *p*MOS è saturo. Determinare poi in questa regione l'espressione analitica che lega le tensioni V_U e V_{IN}.
Si ha $V_{Tn} = -V_{Tp} = 1$ V e $k_n = -k_p = 2$ mA/V^2.

1

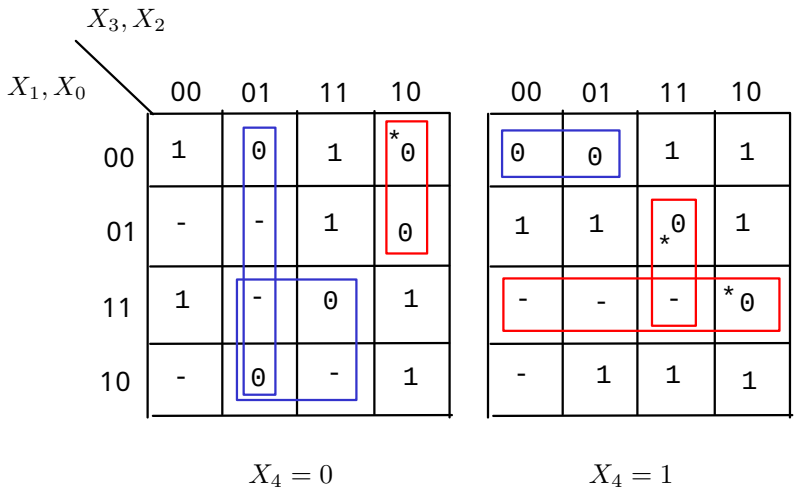
```
/*Scrivere un sottoprogramma nel linguaggio assembly della famiglia XMEGA AVR che valuti
  la somma tra due numeri interi relativi contenuti nella memoria dati, rappresentati
  su 64 bit e il cui byte meno significativo è puntato, rispettivamente da Y e Z
  (i byte più significativi sono di seguito).
  Il risultato deve essere memorizzato al posto dell'addendo puntato da Y.
  Il sottoprogramma non deve alterare i registri di lavoro.*/

Add_long_int:
  push R16
  push R20
  push R21
  ldi R16,8             //contatore
  clc                   //azzera il carry per la prima somma
  loop:
    ld R20,Z+           //carica un byte da sommare e incrementa Z
    ld R21,Y            //carica l'altro byte
    adc R20,R21         //somma due byte
    st Y+,R20           //salva il risultato e incrementa Y
    dec R16             //non tocca C
    brne loop
  sbiw YH:YL,8
  sbiw ZH:ZL,8          //ripristina i puntatori
  pop R21
  pop R20
  pop R16
  ret
```

2

Sintetizzare in forma PS ottima la funzione logica specificata dalla seguente tabella di verità.
{1, -, -, 1, 0, -, 0, -, 0, 0, 1, 1, 1, 1, -, 0, 0, 1, -, -, 0, 1, 1, -, 1, 1, 1, 0, 1, 0, 1, -}

Riporto la tabella in mappa e cerco gli implicati essenziali e quelli principali più vantaggiosi.
Trovo 3 essenziali e servono altri 3 implicati per coprire tutti i maxtermini della funzione.



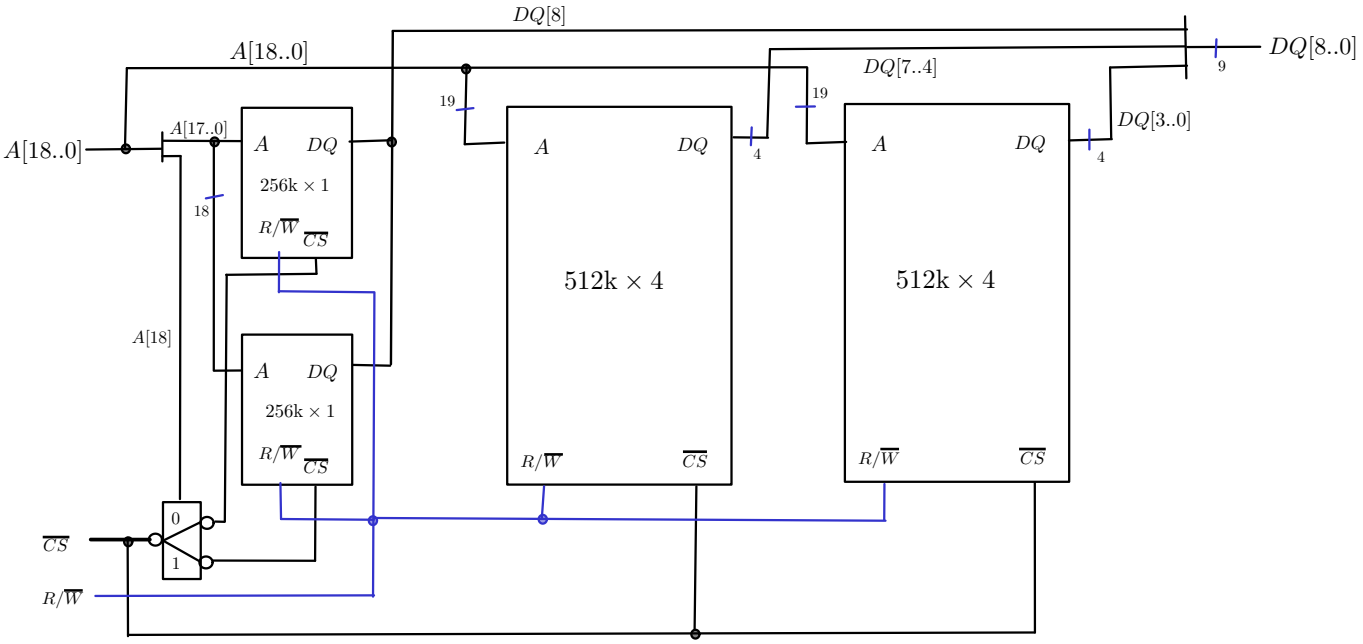
$$f = (X_4 + \overline{X_3} + X_2 + X_1)(\overline{X_4} + \overline{X_3} + \overline{X_2} + \overline{X_0})(\overline{X_4} + \overline{X_1} + \overline{X_0}) \cdot$$

$$\cdot (X_4 + X_3 + \overline{X_2})(X_4 + \overline{X_2} + \overline{X_1})(\overline{X_4} + X_3 + X_1 + X_0)$$

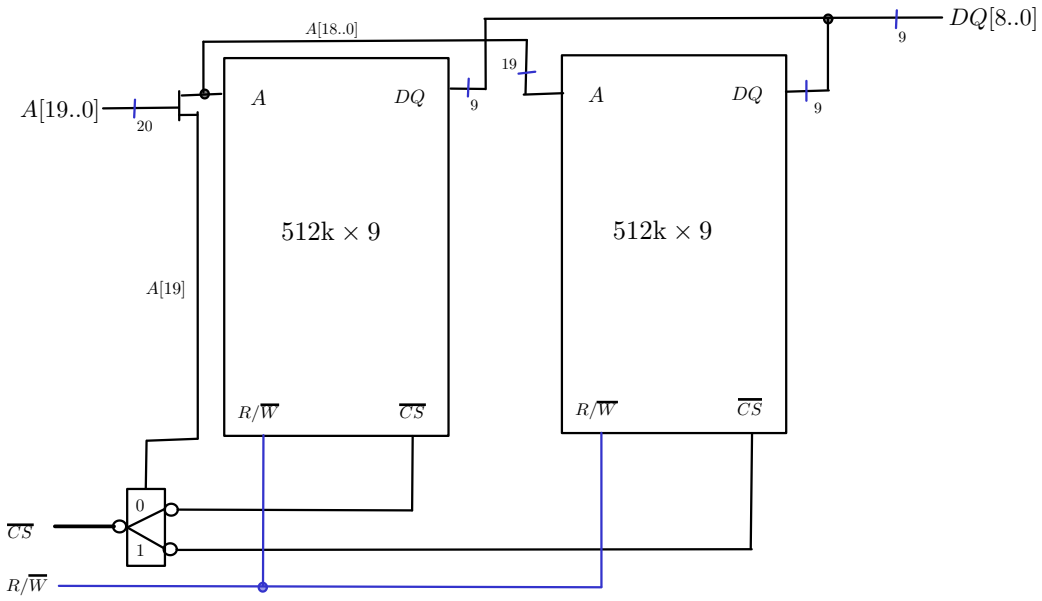
3

Assemblare un modulo di memoria da 1 M×9 avendo a disposizione
4 memorie da 256 k×1 e 4 memorie da 512 k×4

Modulo 512k x 9



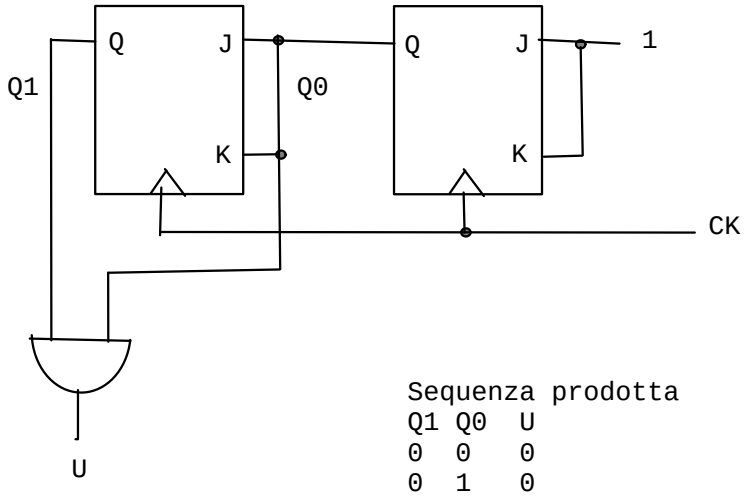
Raddoppio a 1M x 9



4

Disegnare il grafo e quindi sintetizzare usando JK-FF, una macchina di Moore senza ingressi che generi in uscita un'onda rettangolare con ciclo di lavoro 1/4 e periodo pari a 4 cicli di clock.

La macchina richiesta può essere realizzata usando un contatore ripple-carry modulo 4 e una porta AND di uscita che riconosce una delle 4 uscite, per esempio 11.



Sequenza prodotta

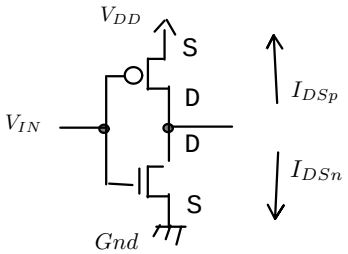
Q1	Q0	U
0	0	0
0	1	0
1	0	0
1	1	1
0	0	0

...

5

Determinare nel piano cartesiano della caratteristica di trasferimento di un inverter CMOS la regione in cui il transistore nMOS è in zona triodo e il pMOS è saturo.
Determinare poi in questa regione l'espressione analitica che lega le tensioni VU e VIN.

$$V_{DD} = 5\ \text{V};\ k_n = -k_p = 2\ \text{mA/V}^2;\ V_{Tn} = -V_{Tp} = 1\ \text{V}$$



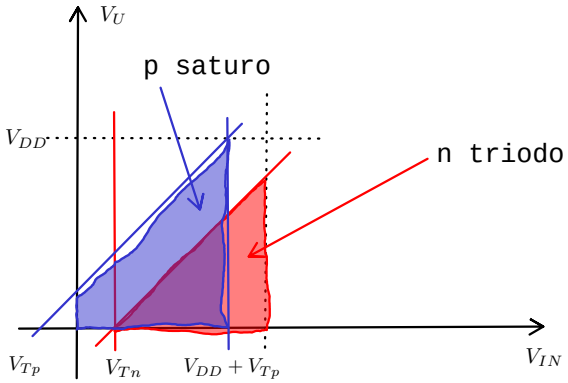
Condizioni per nMOS triodo

$$V_{IN} > V_{Tn};\ V_{IN} - V_U > V_{Tn}$$

Condizioni per pMOS saturo

$$V_{IN} - V_{DD} < V_{Tp};\ V_{IN} - V_U > V_{Tp}$$

Le 4 disequazioni definiscono la regione di piano richiesta.
Ci limitiamo, in ogni caso, a tensioni di ingresso e uscita non negative e non superiori a VDD.



La regione richiesta è l'intersezione tra area rossa e area blu.
In questa regione la caratteristica di trasferimento (a vuoto) si ricava imponendo la KCL al nodo di uscita (i fattori k si semplificano):

$$I_{DSn} + I_{DSp} = 0$$

$$V_U(2V_{IN} - V_U - 2V_{Tn}) - (V_{IN} - V_{DD} - V_{Tp})^2 = 0$$